

[臺大首頁](#)[臺大校訊首頁](#)[校訊投稿](#)[回校訊第 1563 期](#)

## 臺大電子所劉致為教授博士生研究成果榮獲2022 VLSI-TSA Best Student Paper Award

臺大電子所劉致為教授的研究團隊於2022年在國際頂尖半導體會議VLSI-TSA發表研究論文，榮獲Best Student Paper Award (最佳學生論文獎)，其第一作者為電子所奈米電子組的博士生鄭群議，為第一位獲得此獎項的臺大學生。頒獎典禮於2023年4月18日在新竹國賓飯店舉行的VLSI-TSA會議舉辦，也讓全世界看見臺大在半導體領域的優異成果。

獲獎論文題目為「6 Stacked  $\text{Ge}_{0.95}\text{Si}_{0.05}$  nGAAFETs without Parasitic Channels by Wet Etching」，是接續劉教授研究團隊於2021年的研究成果。本研究因為去除寄生通道，相較於之前成果得到更低的次臨界擺幅(subthreshold swing, SS) 80mV/dec 以及更高的開關電流比( $I_{\text{ON}}/I_{\text{OFF}}$ )  $1.5 \times 10^5$ 。由於整合鍺矽高電子遷移率通道以及通道堆疊技術(6層)，在鍺/鍺矽三維N型電晶體中 $\text{VOV}=\text{VDS}=0.5\text{V}$ 時，達到每通道堆疊驅動電流( $I_{\text{ON}}$ )  $120\mu\text{A}$  (每單位通道寬度驅動電流 $4600\mu\text{A}/\mu\text{m}$ )，為當時的世界紀錄。

隨著半導體製程技術節點的推進，電晶體結構從傳統的平面電晶體(Planar FET)轉變為現今主流的鰭式電晶體(FinFET)，而到未來台積電將在2奈米技術節點採用的閘極環繞式(gate-all-around, GAA)堆疊奈米片電晶體(stacked nanosheet transistor)，以更低的功耗、更快速，和更高的邏輯密度為目標，如此一來，即可提供高效能運算和行動通訊等應用，如5G、電動車、AI人工智慧、元宇宙等。然而，為提升邏輯密度，電晶體的尺寸持續微縮，會產生漏電流變大的問題。若閘極環繞式奈米片電晶體的通道四周都被閘極介電層與閘極金屬完全包覆，使通道的控制能力更強，即能有效降低漏電流、減少功耗，

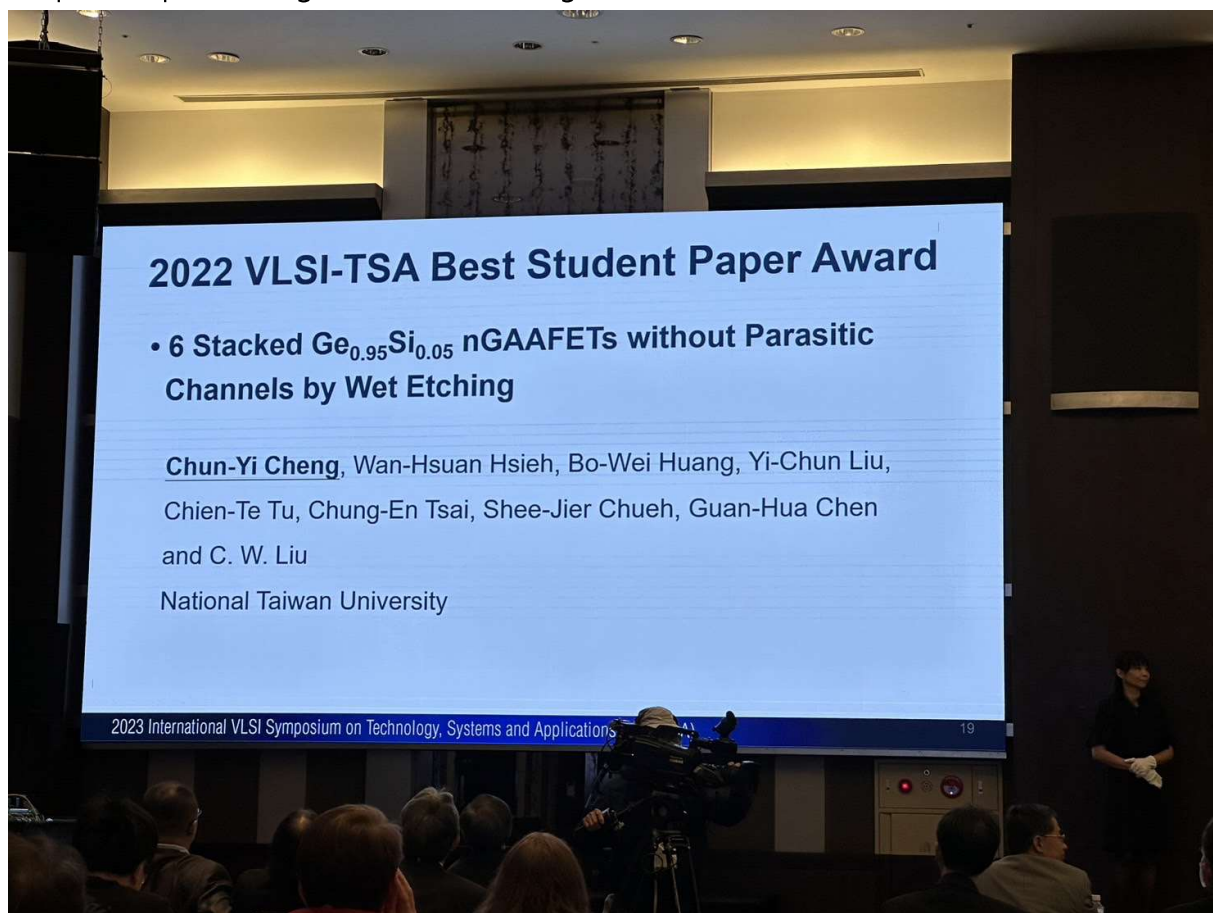
使電晶體更加節能省電。為使半導體晶片的效能更高、運作速度更快，可採用通道堆疊(channel stacking)的技術(往垂直方向堆疊更多通道)，以及使用矽鍺(SiGe)、鍺(Ge)、鍺錫(GeSn)等高遷移率通道(high mobility channel)來增加電晶體的驅動電流。

本篇論文的主要貢獻在於將鍺矽高遷移率通道整合高層數(6層)堆疊奈米線電晶體，提升驅動電流至投稿此篇論文時鍺/鍺矽三維N型電晶體的世界紀錄；另優化蝕刻關鍵製程，成功去除電晶體的寄生通道，降低電晶體的漏電流，提升開關電流比至 $1.5 \times 10^5$ 並降低次臨界擺幅至80 mV/dec。

得獎論文全文：<https://ieeexplore.ieee.org/document/9770969>

VLSI-TSA Best Student Paper Award：

<https://expo.itri.org.tw/2023TSA/PageDetail/3953>



## 臺灣大學秘書室媒體公關中心

臺大校訊發布本校各項訊息，提供校內外人士參閱  
歡迎師生多加利用，訊息傳送請點選上方郵件圖示按鈕  
詳情請洽編輯策劃：臺大校訊TEL：33661489



---

您是網頁從1999.3.14 以來第 **12218284** 位使用者！

【版權所有】本校刊著作權屬國立臺灣大學。未經允許不得以任何形式轉載。  
Copyright (c) 1999 - 2001 National Taiwan University ALL RIGHTS RESERVED