

•網址:網址:

http://cc.ee.ntu.edu.tw/~ecl/Courses/Courses_1.htm

• 帳號: pll_usr

• 密碼: Qcg2Nzs

Textbook

“RF Microelectronics”, 2nd Edition, by B. Razavi, Prentice Hall

Ref. Books

1. “Design of CMOS Phase-Locked Loops”, by B. Razavi, Cambridge Uni. Press, 2020
2. “Analysis and Design of CMOS Clocking Circuits for Low Phase Noise” by W. Bae and D. K. Jeong, The Institution of Engineering and Technology, 2020
3. “Phase-Locked Frequency Generation and Clocking: Architectures and circuits for modern wireless and wireline systems” , Edited by Woogeun Rhee, The Institution of Engineering and Technology, 2020

1. 演講出席 25% (遲到_分數減半; 未出席/替代簽名_零分)
2. *作業 (唸五篇IEEE JSSC full paper論文_寫心得報告) 20%
(遲交_分數減半; 抄別人作業_零分) (上課9:10a.m.前交給助教, 其餘均算遲交)
3. 期中考 25% (April 11, Tue.)
4. **期末報告 30%
(2023 June 13 中午前交到 Rm 328 給助教 黃元邦 r10943037@ntu.edu.tw)

*作業 A. 與Phase-locked Loop相關 (IEEE JSSC 2014-2023)

B. 每人自選二篇論文, 當前二次作業. 每人推薦二篇 3月14日前將電子檔寄給助教, 助教從推薦論文中, 隨機選出較新的九篇, 每次選其中三篇, 平均給每位學生 (平均所有1/3學生讀同一篇論文)當成後三次作業

C. 報告: A4 兩頁 double Column (一張A4雙面), 將論文中重要的創見或電路,用中文說明 (80%), 針對上述創見或電路,提出自己的改善想法或方法 (20%)

D. 第一次 3月21日 第二次 4月18日 第三次 5月2日

第四次 5月16日 第五次 5月30日

**期末報告: 依conference paper型式, A4 四頁 double Column (二張A4雙面),

A. 選一篇IEEE JSSC論文, 完成PLL電路模擬與驗證 (不可以只有VCO) (40%)

B. 用中文說明, 包括 introduction, circuit description, simulation results, comparison table, and conclusion (40%)

D. 有否提出自己的改善想法或方法 (20%)