Logic Synthesis & Verification 2010

Project Presentation Schedule on 2011/01/12

Time	Members	Project	Note
14:20-14:25	Preparation		
14:25-14:37	黃柏凱 林暐勛	ECO	
14:37-14:49	何松庭 譚傳耀	ECO	
14:49-15:01	吳柏翰	ECO	
15:01-15:13	郭俊儀 魏文恩	QBF survey	
15:13-15:25	李 皓 蔡旻宏	QBF implementation	
15:25-15:37	韓承駪	QBF implementation	
15:37-15:49	Break		
15:49-16:01	張允耀 楊凱文	SAT-based FPGA routing	
16:01-16:13	周 昇	SAT-based PCB routing	
16:13-16:25	蔡昌澄	SAT-based PCB routing	
16:25-16:37	陳炳元	Datapath Optimization	
16:37-16:49	鍾逸亭	IP Implementability	
16:49-17:01	Break		
17:01-17:13	劉宗博	Controller Synthesis	
17:13-17:25	趙悅彤	System Synthesis for Verification	
17:25-17:37	周彥丞	Decoder Synthesis	
17:37-17:49	張志瑋	Biochem Synthesis	

17:49-18:01	鄭棋匀	Biochem Synthesis	
18:01-18:13	陳翰洋	?	
18:13-18:30	Discussions		