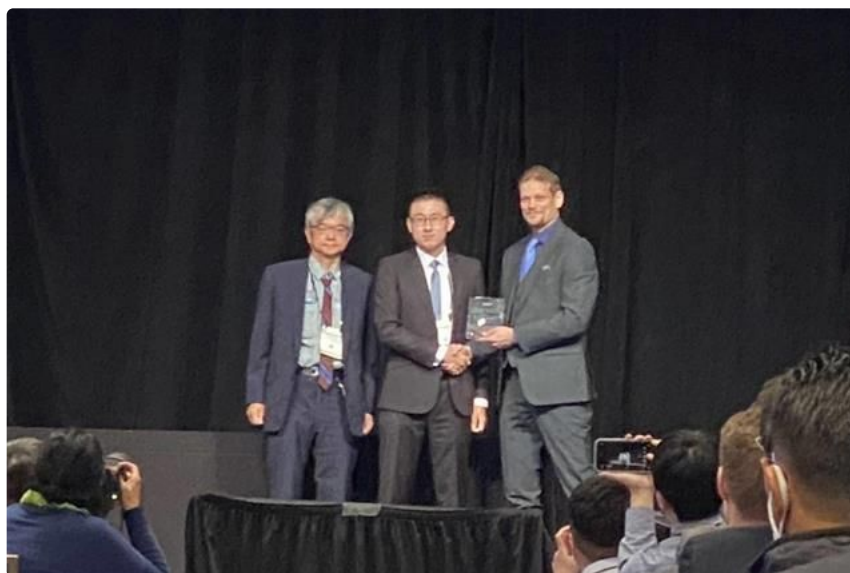


台大博士生半導體論文獲IEDM大獎 研究成果創世界紀錄

林昭儀 / 台北 2022-12-13

讚 0 分享



<https://mms.digitimes.com/NewsImg/2022/1213/652484-1-IH0UV.jpg>

台灣大學（以下簡稱台大）博士生研究論文首次贏得半導體產業著名的IEDM 2021年Roger A. Haken最佳學生論文獎，展示了堆疊8個Ge_{0.9}Sn_{0.1}超薄體的能力，厚度低於3奈米。此8層堆疊通道在所有P型電晶體中為最高，創下世界紀錄。

論文題目為「Highly Stacked 8 Ge_{0.9}Sn_{0.1} Nanosheet pFETs with Ultrathin Bodies (~3nm) and Thick Bodies (~30nm) Featuring the Respective Record ION/IOFF of 1.4x10⁷ and Record ION of 92μA at VOV=VDS= -0.5V by CVD Epitaxy and Dry Etching.」（通過CVD外延和乾法蝕刻，具有超薄體（約3奈米）和厚體（約30奈米）的8層高度堆疊的Ge_{0.9}Sn_{0.1}奈米片pFETs，在VOV=VDS=-0.5V時，創下ION/IOFF1.4x10⁷的紀錄和ION92μA的紀錄）。

本篇IEDM論文從磊晶層的設計與成長、材料分析、蝕刻機制、電性分析、能隙模擬、應變模擬、變溫量測等，進行了完整的討論與分析，整合了高層數、高遷移率通道，以及極薄通道的特性，展示世界首顆高層數堆疊鍺錫奈米片電晶體，提升驅動電流並降低漏電流，可使半導體晶片效能更高，也更加節能省電。

第一作者蔡仲恩是在台大先進矽器件與製程實驗室（Advanced Silicon Device and Process Laboratory）訓練出來的博士生，代表團隊和指導教授劉致為於12月5日在舊金山Union Square希爾頓飯店舉行的IEEE IEDM年會中接受此殊榮。

蔡仲恩以電子郵件回覆DIGITIMES的採訪指出，得知這篇論文獲得2021 IEDM Best Student Paper Award時頗為意外，因為以往的得獎者都是來自麻省理工學院（MIT）、東京大學（University of Tokyo）等國外的頂尖學校，這是第一次由台灣的大學榮獲此獎項，也讓世界看見台大在半導體領域的傑出表現。

蔡仲恩表示：「這份榮耀是所有人一起努力的成果，謝謝劉致為教授的指導、實驗室同儕的團隊合作、家人朋友的支持，以及曾經給予幫助的每個人。也希望台灣能持續帶領全球半導體進步與成長，為全人類帶來更好的生活。」

目前台大是業界以外，極少數能獨立研發多層堆疊通道閘極環繞式電晶體的大學，指導教授劉致為表示，這次獲得2021 IEDM Roger A. Haken Best Student Paper Award是對台大的肯定，也是對團隊研究方向的認可，未來能將學校的經驗與知識帶進業界，遇到問題時運用正確的邏輯去解決。

劉致為指出，在研究團隊裡，他對於學生的基本要求為Integrity/Accountability/Teamwork/Love（誠信 / 負責 / 合作 / 愛心），把學生教好是老師最大的驕傲，秉持著這樣的信念，希望能培養更多學生，成為對社會有貢獻的人。在現實的大環境裡，無論是順風還是逆風，只要一步一腳印，永不放棄理想，總有一天會成功。

該論文展示了世界首顆高層數堆疊銻錫奈米片電晶體，厚度達3奈米之8層堆疊銻錫極薄通道電晶體可藉由化學氣相沉積磊晶與高選擇比等向性乾蝕刻的共同優化來實現。因為3奈米銻錫極薄通道的量子侷限效應使截止狀態漏電流降低，可達到銻錫 / 三維P型電晶體中在VDS = -0.05V時的開關電流比 1.4×10^7 之世界紀錄。8層堆疊銻錫厚奈米片則具所有銻錫 / 銻三維P型電晶體中世界紀錄之92 μ A每通道堆疊的驅動電流於VOV = VDS = -0.5V。此8層堆疊通道在所有P型電晶體中為最高。

於2022年VLSI國際會議上，該團隊進一步展示了開關電流比與次臨界擺幅（Subthreshold swing；SS）皆為世界紀錄的8層堆疊銻錫極薄通道電晶體，其平均通道厚度為2.4奈米，次臨界擺幅為近乎理想值的64mV/dec。並由模擬驗證極薄通道可提升注入速度（Injection velocity）且減少閘極延遲（Intrinsic gate delay），為短通道元件的發展趨勢。

隨著半導體製程技術節點的演進，晶片中的電晶體結構從傳統的平面電晶體（Planar FET）轉變為現今主流的鱗式電晶體（FinFET），到未來台積電2奈米技術節點將使用的閘極環繞式（Gate-all-around；GAA）堆疊奈米片電晶體（Stacked nanosheet transistor），以更高的邏輯密度（Logic density）、更快的速度（Speed），和更低的功耗（Power consumption）為目標，可提供高效能運算和行動通訊等應用，如5G、電動車、人工智慧（AI）、元宇宙等。

為了提升邏輯密度，電晶體的尺寸持續微縮，然而會產生漏電流變大的問題。閘極環繞式奈米片電晶體的通道四周都被閘極氧化層與閘極金屬完全包覆，使通道的控制能力更強，能有效降低漏電流、減少功耗，使電晶體更加節能省電。而為了使半導體晶片的效能更高、運作速度更快，可採用通道堆疊的技術（往垂直方向堆疊更多通道），以及使用矽銻（SiGe）、銻（Ge）、銻錫（GeSn）等高遷移率通道（High mobility channel）來增加電晶體的驅動電流。

(<https://mms.digitimes.com/NewsImg/2022/1213/652484-1-IH0UV.jpg>)

責任編輯：毛履兆