

技術文章

電子元件的靈魂—先進電晶體技術與發展趨勢 | 劉致為教授 國立臺灣工程學研究所

2022/01/18

序言

隨著 5G、人工智慧、元宇宙等新興科技產業快速崛起，發展低功耗、小尺寸、異質整合及超高運算速度的晶片架構技術，已成為全球半導體製造業者最重要的產業趨勢與決勝關鍵。在晶片的先進製程競賽上，自英特爾 (INTEL) 於 2012 年在 22 奈米晶片引入創新立體架構的「鰭式電晶體」(FinFET) 之後，全球半導體業者都在此基礎上進行研發。目前最先進的 5 奈米製程，即是採用 FinFET 架構來製作，該技術已由台積電 (TSMC) 拔得頭籌，於 2020 年成功投入量產。

然而，當未來製程要再微縮至 3 奈米時，FinFET 卻會產生電流控制漏電的物理極限問題。事實上，三星 (Samsung) 已趕在台積電之前發表了最新一代採用環繞式閘極場效電晶體 (Gate-All-Around FET, GAAFET) 的全新架構 3 奈米製程。究竟在新一輪晶片製程的巔峰決戰中，誰能最終勝出仍待觀察。

由於 GAAFET 的晶片架構相比於 FinFET，能以更小的體積實現更好的功耗表現，實際可縮減 45% 晶片面積、同時降低 50% 的能耗。台積電欲持續以 FinFET 與三星 GAAFET 在 3 奈米先進製程領域決戰，2022 年絕對是決定勝負至為關鍵的一年。而對於眾所矚目的下世代 2 奈米製程，台積電也已公開表示亦將採用 GAAFET 架構，並藉由導入低維度高電子遷移率材料以及特殊絕緣層材料等，來強化其在先進製程的競爭優勢，GAAFET 架構儼然已成為下一代延續莫爾定律 (Moore's Law) 發展的最佳選項。

閱康科技於本期特別邀請了在先進半導體製程領域頂尖學者 劉致為教授，為「科技新航道 | 合作專欄」撰文介紹先進電晶體技術概況與發展趨勢，希望能與讀者分享此一重要科技領域的學術研究進展。

閱康科技研發中心處長 陳弘仁 2022/01/07

先進電晶體技術與發展趨勢

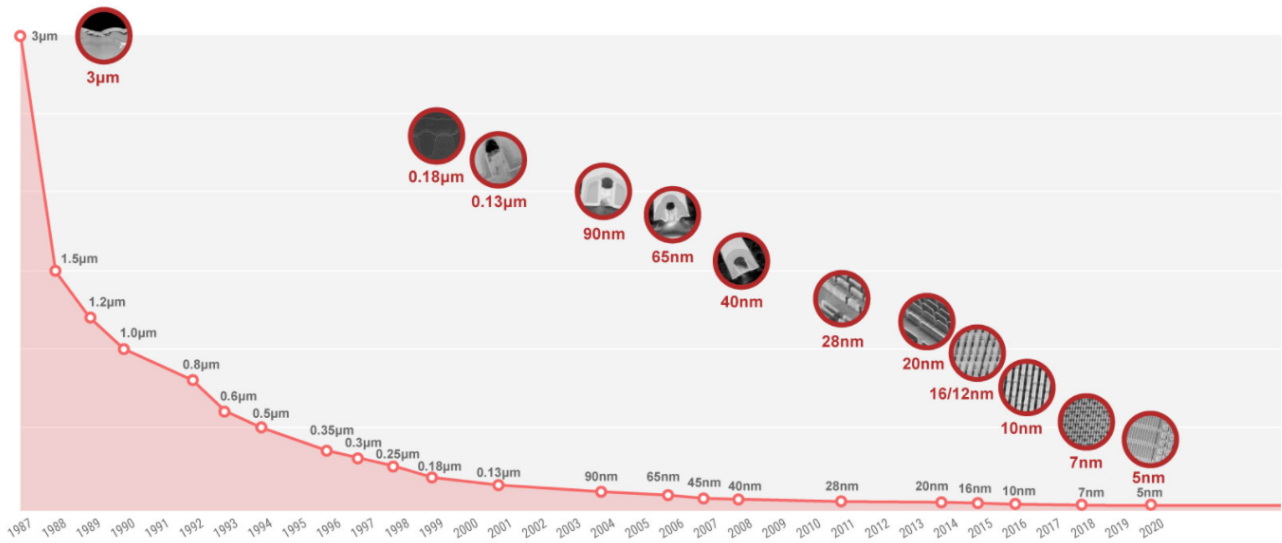
劉致為 教授

博士生：蔡仲恩、劉亦浚、杜建德

國立臺灣大學電子工程學研究所

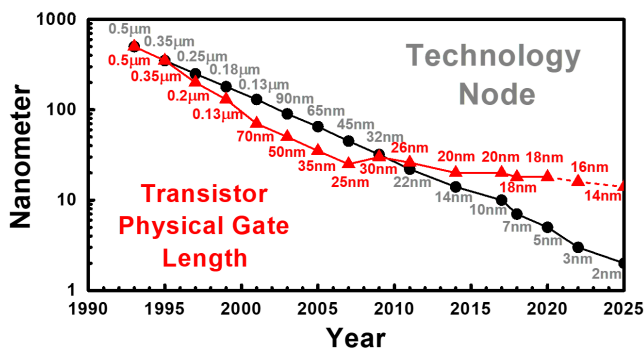
隨著科技日新月異，各種電子設備已成為生活中不可或缺的物品，大到汽車小如智慧型手機，皆以半導體晶片為最重要的核心，半導體晶片與人類的生活密不可分。台灣的半導體產業在全球占有舉足輕重的角色，5G世代的來臨帶動大數據、AI 人工智慧、物聯網以及行動智慧裝置的快速發展，使得先進半導體晶片的需求持續增長。各個研究團隊對於半導體製程技術的努力研發，以及政府與企業的投資，使得半導體產業成為台灣的支柱與優勢，持續的進步與成長。

隨著摩爾定律 (Moore's Law) 的發展，從微米 (μm) 技術節點演進至現今的 5 奈米技術節點 (圖一)，以及預計將於 2022 年量產的 3 奈米技術節點[1]，而技術節點的數值愈小，電晶體密度愈高。過去在平面電晶體 (Planar FET) 技術發展中，有兩項重要的技術突破，一是 90 奈米技術節點開始量產的應變矽 (strained Si)，可提升矽通道的遷移率，增加電流；二是高介電係數/金屬閘極 (high-k/metal gate)，介電層的 k 值愈大，氧化層電容 (C_{ox}) 愈大，電晶體電流愈大，且可在相同的等效氧化層厚度 (equivalent oxide thickness, EOT) 下，以較大的物理厚度來降低漏電流。



圖一 台積電的製程技術節點[1]

隨著傳統的半導體尺寸微縮，電晶體的閘極長度 (gate length) 也逐漸減小。實際上，閘極長度和技術節點的數值是不相等的，且在 22 奈米技術節點以後，閘極長度會大於技術節點的數值 (圖二)。

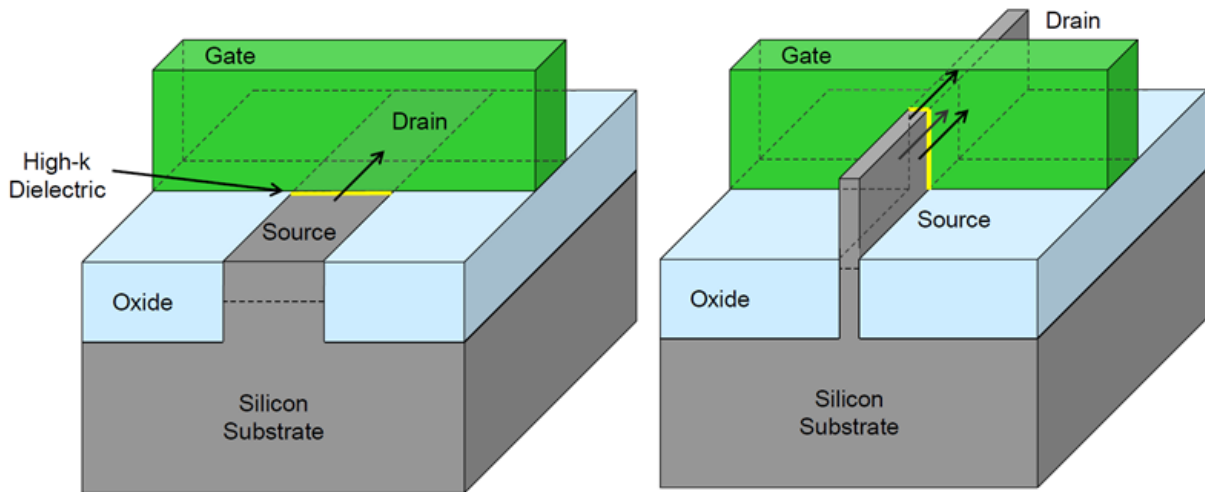


圖二 約略估計電晶體技術節點 (Technology Node) 與閘極長度 (Gate Length)

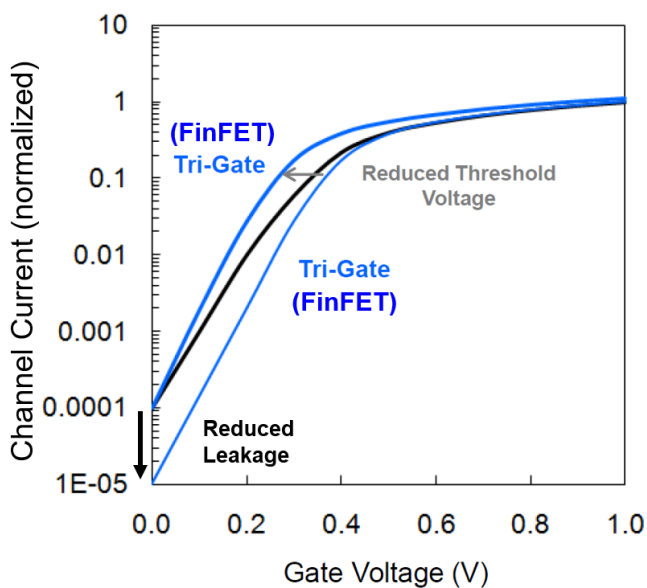
※ 此圖示著作權為國立臺灣大學電子工程學研究所劉致為教授研究團隊所有，未經允許不得隨意引用、轉載、改編或截錄。

隨著電晶體的尺寸愈來愈小，傳統的微縮方式逐漸接近其物理極限，單純依循摩爾定律的尺寸微縮，已無法提供如預期般效能的成長。自 22 奈米技術節點 (Intel) 及 16 奈米技術節點 (台積電) 開始，由胡正明院士團隊提出的鳍式電晶體 (FinFET) 開始被業界所採用，三維電晶體也成為現今先進半導體的主流結構。

電晶體由傳統的平面式 (圖三a) 走向三維的立體結構 (圖三b)，因為三面的閘極結構 (Tri-Gate) 與魚鰭十分相似，所以稱為鰭式電晶體。鰭式電晶體具有比平面電晶體更大的等效寬度 (effective width)，可提高元件之電流密度，且其三維之結構可增加通道控制能力，抑制短通道效應 (short channel effect)。三維的鰭式電晶體結構可降低次臨界擺幅 (subthreshold swing, SS) 與工作電壓，減少電晶體損耗功率 (圖三c)。鰭式電晶體已從 16 奈米、10 奈米、7 奈米、5 奈米、3 奈米共發展了五代技術節點，為目前的主流元件結構。



圖三 (a)平面電晶體示意圖 (b)鰭式電晶體示意圖

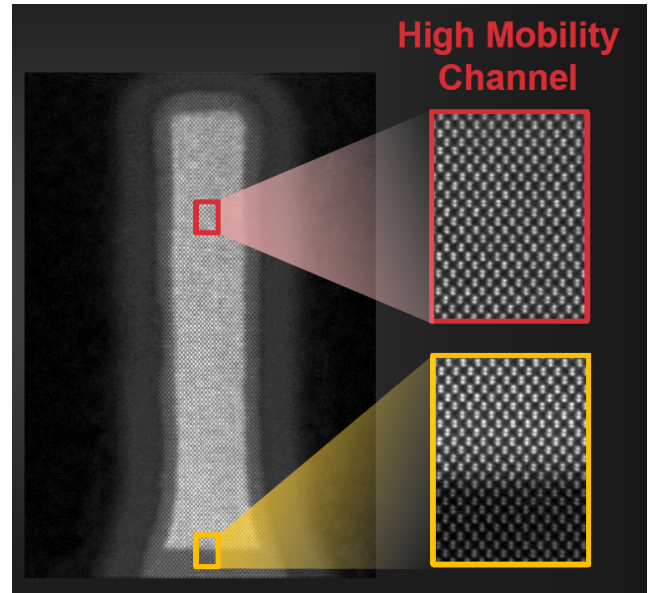


(c) 電流-電壓關係圖。[2]

台積電於 2019 年國際電子元件會議 (International Electron Devices Meeting, IEDM) 宣布於 5 奈米技術節點量產擁有高遷移率通道 (high mobility channel) 之鰭式電晶體[3]。使用高遷移率通道，猶如駕駛跑車，速度更快，使電晶體的效能更佳。圖四[4]為台積電於 2021 年國際固態電路研討會

(International Solid-State Circuits Conference, ISSCC) 中所展示的高遷移率通道鳍式電晶體，由圖中可看出高遷移率通道與底部的矽材料具有明顯的對比，且皆有清楚的啞鈴狀結構 (dumbbell)。

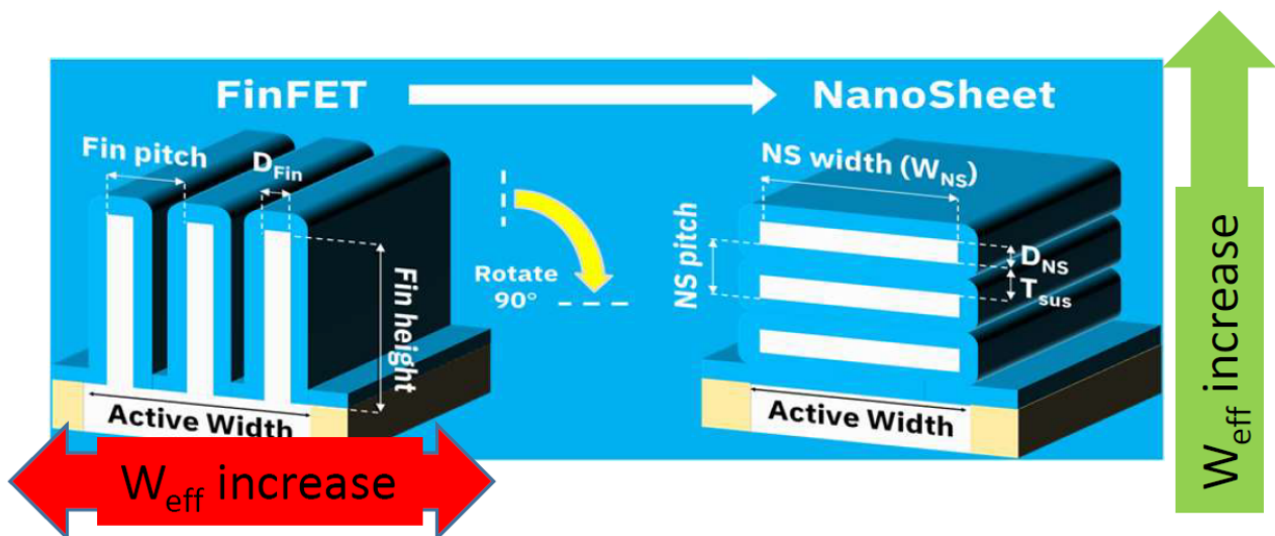
台積電預計於 2022 下半年開始量產 3 奈米技術節點的全世代製程電晶體，與 5 奈米技術節點相比，3 奈米技術節點的邏輯密度將增加約 70%，在相同功耗下速度提升 10-15%，或者在相同速度下功耗降低 25-30% [1]。



圖四 台積電5奈米技術節點的高遷移率通道鳍式電晶體 [4]。© IEEE

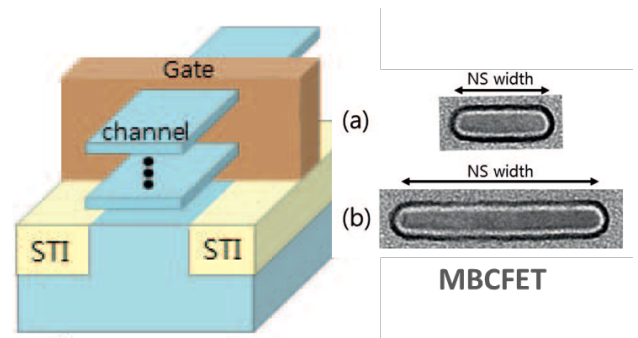
為了進一步增加通道的控制能力與維持短通道效應的抑制，必須改變電晶體之架構。三星、台積電、Intel 已宣布在 3 奈米技術節點 (Samsung) 和 2 奈米技術節點 (TSMC、Intel 20A) 將採用閘極環繞式 (Gate-All-Around, GAA) 的奈米片 (nanosheet) 結構。閘極環繞式電晶體具有比鳍式電晶體更好的閘極控制能力，在先進技術節點將取代鳍式電晶體結構，電晶體密度也將持續提升。使用 GAA 電晶體結構，猶如使用強力水龍頭，滴水不漏，使電晶體有效降低漏電流，更加節能省電。為了增加電晶體的驅動電流，採用通道堆疊 (channel stacking) 的方法，在垂直方向增加通道數目，猶如建構雙層高架橋，在相同占地面積下可負載更多車流量，使電晶體擁有更高電流並增加電晶體密度，有效提升元件效能。

圖五[5]為垂直堆疊奈米片 (stacked nanosheets) 的結構，可視作將 FinFET 旋轉 90 度並進行垂直堆疊，形成四面環繞式的閘極結構。有別於 FinFET 的通道寬度 (D_{Fin}) 是由微影製程 (Lithography) 所限制，stacked nanosheets 的通道厚度 (D_{NS}) 可藉由磊晶 (epitaxy) 來決定，因此可精準控制厚度。除此之外，stacked nanosheets 可往垂直方向增加通道層數，在相同的占地面積 (footprint) 下具有更大的等效寬度 (effective width, W_{eff})，提供更大的電流以提升電晶體效能。磊晶 (epitaxy) 技術除了可精準決定 stacked nanosheets 的通道厚度外，也可以控制通道與通道之間的距離 (suspension thickness, T_{sus})，不會像 FinFET 增加占地面積，且可以透過降低 T_{sus} 的方式來減少元件的寄生電容 (parasitic capacitance)。



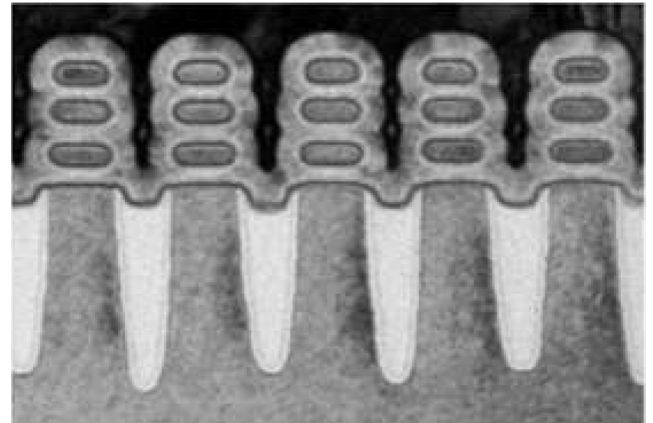
圖五 鳍式電晶體 (FinFET) 與垂直堆疊奈米片 (Stacked nanosheets) 之比較[5]。© IEEE

三星率先在 2018 IEDM 國際會議上宣布以 Multi-Bridge-Channel FET (MBCFET) 之 GAA 電晶體作為 3 奈米技術節點之電晶體結構 (圖六a, b) [6]，其中提到 MBCFET 採用 90% 的 FinFET 製程，與現今業界之 FinFET 製程具有良好的相容性。MBCFET 顧名思義，結構與多層橋梁相似，實際上和前述的 stacked nanosheets 是相同的結構。與 FinFET 相比，MBCFET 具有更好的閘極控制，在相同的面積下，也有更大的等效寬度以提供更大的驅動電流，並可依照不同的應用來調整通道寬度，提高電路設計之彈性。



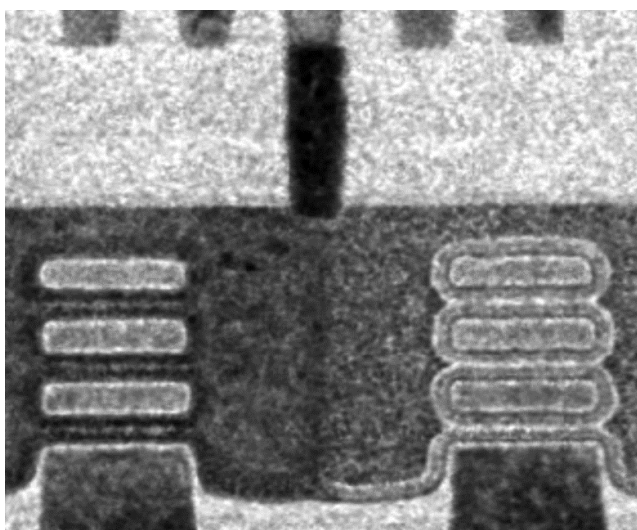
圖六 (a, b) 三星 3 奈米技術節點之 MBCFET [6] © IEEE

另一方面，IBM 的 2 奈米技術節點提出三層垂直堆疊的 stacked nanosheets (圖六c) [5]，其通道寬度為 40 奈米、通道高度為 5 奈米、閘極長度為 12 奈米，並採用底部介電層絕緣 (bottom dielectric isolation, BDI)，能有效減少漏電流，降低晶片功耗。與 7 奈米製程技術相比，預計提升 45% 的性能或降低 75% 的耗能[7]。

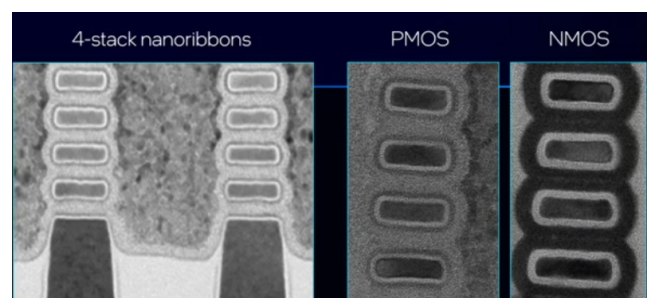


(c) IBM 2 奈米技術節點之三層垂直堆疊通道電晶體[5]。© IEEE

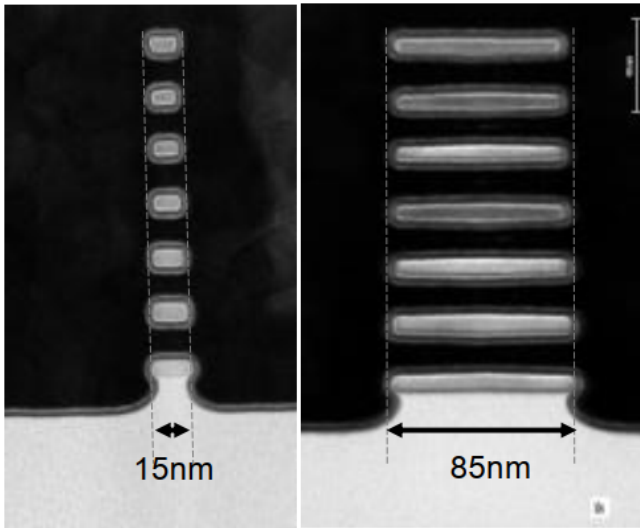
台積電在 2021 ISSCC 國際會議上展示三層垂直堆疊的 stacked nanosheets 作為 2 奈米技術節點之電晶體結構 (圖七a)，可提供更佳的性能及更低的次臨界擺幅[4]。Intel 則宣布 2024 年將以 RibbonFET (垂直堆疊四層的 nanoribbons，也與 stacked nanosheets 結構相似) 作為 20A 技術節點之結構 (圖七c)[8]，並將於 2025 年以優化的 RibbonFET 作為 18A 技術節點之結構。由業界趨勢可見，高層數通道堆疊的 GAA 電晶體為未來電晶體之主流結構。在 2020 年超大型積體電路技術研討會 (Symposium on VLSI Technology, VLSI) 中，法國半導體研究機構 CEA-Leti 發表了七層的 Si GAA nanosheets 電晶體 (圖八) [9]。



圖七 (a) 台積電 2 奈米技術節點之三層垂直堆疊通道電晶體[4] © IEEE



(b) Intel 20A 技術節點之四層垂直堆疊通道電晶體 (RibbonFET)[8]。

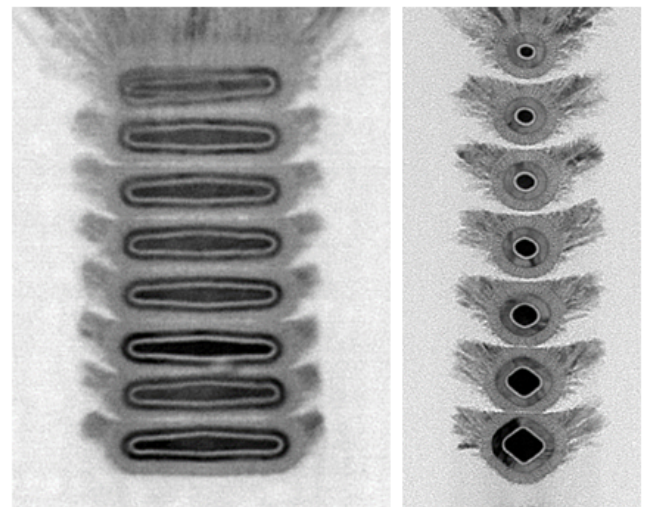


圖八 法國半導體研究機構 CEA-Leti 發表之七層垂直堆疊矽通道電晶體[9]。© IEEE

目前已發表的 GAA 電晶體，通道材料大部分以矽 (Si) 為主，為了增加電路的運作速度，必須提升電晶體的驅動電流 (垂直堆疊通道電流的總和)，除了往垂直方向增加通道數目外，採用高載子遷移率 (mobility) 的材料作為電晶體通道可進一步提高電晶體的驅動電流，例如鍺 (Ge)、鍺矽 (GeSi)、鍺錫 (GeSn) 等新四族材料，具有優於矽的電子及電洞遷移率，並且與現今業界的矽半導體製程技術有良好的相容性。

本研究團隊於 2021 VLSI 國際會議上發表了八層鍺矽 N 型 GAA 電晶體 (8 stacked $\text{Ge}_{0.75}\text{Si}_{0.25}$ nanosheets) (圖九左) [10]，擁有極高的通道均勻性。為了進一步提高元件的驅動電流，將鍺矽通道的鍺濃度提升至 95%，以提高通道之電子遷移率，並成功展示了世界首顆高效能七層鍺矽 N 型 GAA 電晶體 (7 stacked $\text{Ge}_{0.95}\text{Si}_{0.05}$ nanowires) (圖九右)[10]，此研究成果也獲國際頂尖期刊 Nature Electronics 報導於 Research Highlight [11]。

由此可見，高層數堆疊之高遷移率通道 GAA 電晶體為未來半導體技術節點的一大趨勢。其中磊晶 (epitaxy) 與蝕刻 (etching) 為高層數堆疊通道 GAA 電晶體最重要的兩大製程技術，藉由兩者的互相優化才能成功製備高效能電晶體。目前臺大乃是業界以外，唯一能研發多層堆疊通道 GAA 電晶體的大學，也成為學界與業界接軌的重要橋梁。

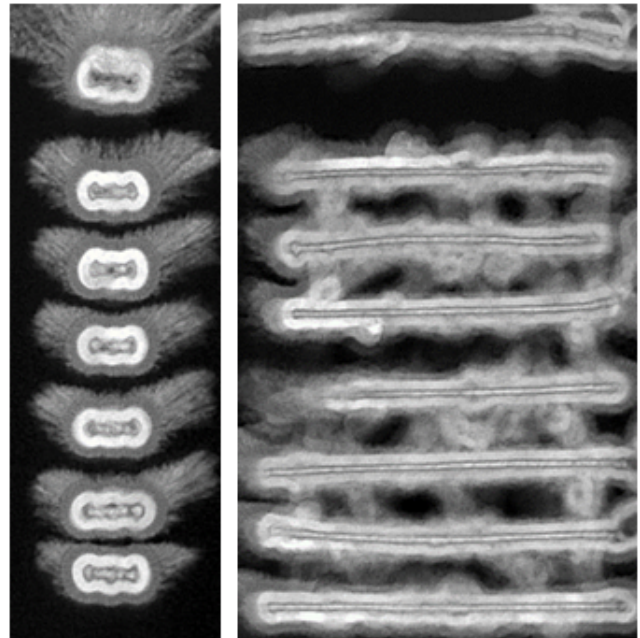


圖九 本研究團隊發表之 (左) 八層 GeSi nanosheets [10] (右) 七層 GeSi nanowires [10]。© IEEE

P 型電晶體方面，因為壓縮應變的鍺錫 (GeSn) 材料擁有比純鍺和矽更高的電洞遷移率，可增加元件之驅動電流，成為通道材料的潛力之一。然而因鍺錫材料之能隙較小，元件具有較大之截止狀態漏電流 (I_{OFF}) 以及較小之開關電流比 ($I_{\text{ON}}/I_{\text{OFF}}$)，將造成元件功率耗損過大。此問題可藉由降低通道厚度來改善，隨著通道厚度變薄，受量子侷限效應 (quantum confinement effect) 影響使 $I_{\text{ON}}/I_{\text{OFF}}$ 隨之上升，因閘極控制能力增強使次臨界擺幅 (SS) 下降。然而當通道厚度小於 5nm 時因表面粗糙散射 (surface roughness scattering) 的影響，導致載子遷移率降低，故需搭配高堆疊、高載子遷移率之鍺錫通道，維持元件之驅動電流。

因此本研究團隊在 2021 IEDM 國際會議上發表七層與八層堆疊銻錫極薄通道 P 型電晶體 (7 stacked and 8 stacked $\text{Ge}_{0.9}\text{Sn}_{0.1}$ ultrathin bodies) (圖十) [12]，以銻錫材料作為高遷移率通道 (high mobility channel)，優化磊晶 (epitaxy) 與高蝕刻選擇比等向性乾蝕刻 (highly selective isotropic dry etching, HiSIDE) 製程，製備出厚度為 3 奈米之極薄通道，有效降低元件之漏電流，且 $I_{\text{ON}}/I_{\text{OFF}}$ 為銻/銻錫三維電晶體之世界紀錄，此篇論文也獲得 2021 IEDM 最佳學生論文獎 (Best Student Paper Award)。

綜上所述，高層數 (highly stacked)、高遷移率 (high mobility)，以及極薄通道 (ultrathin bodies) 之 GAA 電晶體將能使半導體晶片效能更高、更省電，進而使先進半導體科技不斷進步，為人類帶來更好的生活。



圖十 本研究團隊發表之(左)七層與(右)八層銻錫極薄通道 [12]。© IEEE

References:

- [1] TSMC [Online] <https://www.tsmc.com/chinese/dedicatedFoundry/technology/logic>
- [2] M. Bohr and K. Mistry, "Intel's Revolutionary 22 nm Transistor Technology," [Online] https://download.intel.com/newsroom/kits/22nm/pdfs/22nm-Details_Presentation.pdf
- [3] G. Yeap et al., "5nm CMOS Production Technology Platform featuring full-fledged EUV, and High Mobility Channel FinFETs with densest $0.021\mu\text{m}^2$ SRAM cells for Mobile SoC and High Performance Computing Applications," IEEE International Electron Devices Meeting (IEDM), pp. 879-882, 2019.
- [4] Mark Liu, "Unleashing the Future of Innovation," 2021 IEEE International Solid-State Circuits Conference (ISSCC), Plenary Session 1.1, 2021.
- [5] N. Loubet, "Enablement of Next Generation High Performance Nanosheet Transistors," IEEE International Electron Devices Meeting (IEDM), Short Course 1, 2020.
- [6] G. Bae et al., "3nm GAA Technology featuring Multi-Bridge-Channel FET for Low Power and High Performance Applications," IEEE International Electron Devices Meeting (IEDM), pp. 656-659, 2018.
- [7] "IBM Unveils World's First 2 Nanometer Chip Technology, Opening a New Frontier for Semiconductors" [Online] <https://newsroom.ibm.com/2021-05-06-IBM-Unveils-Worlds-First-2-Nanometer-Chip-Technology,-Opening-a-New-Frontier-for-Semiconductors>
- [8] "Intel Accelerated" [Online] <https://download.intel.com/newsroom/2021/client-computing/Intel-Accelerated-2021-presentation.pdf>
- [9] S. Barraud et al., "7-Levels-Stacked Nanosheet GAA Transistors for High Performance Computing," IEEE Symposia on VLSI Technology and Circuits (VLSI), TC1.2, 2020.
- [10] Y.-C. Liu et al., "First Highly Stacked $\text{Ge}_{0.95}\text{Si}_{0.05}$ nGAAFETs with Record $I_{\text{ON}} = 110\mu\text{A}$ ($4100\mu\text{A}/\mu\text{m}$) at $V_{\text{OV}}=V_{\text{DS}}=0.5\text{V}$ and High $G_{\text{m,max}} = 340\mu\text{S}$ ($13000\mu\text{S}/\mu\text{m}$) at $V_{\text{DS}}=0.5\text{V}$ by Wet Etching," IEEE Symposia on VLSI Technology and Circuits (VLSI), T15-2, 2021.
- [11] S. Thomas, "Germanium nanowire transistors stack up," Nature Electronics, Vol. 4, July 2021, 452.
- [12] C.-E. Tsai et al., "Highly Stacked 8 $\text{Ge}_{0.9}\text{Sn}_{0.1}$ Nanosheet pFETs with Ultrathin Bodies ($\sim 3\text{nm}$) and Thick Bodies ($\sim 30\text{nm}$) Featuring the Respective Record $I_{\text{ON}}/I_{\text{OFF}}$ of 1.4×10^7 and Record I_{ON} of $92\mu\text{A}$ at $V_{\text{OV}}=V_{\text{DS}}= -0.5\text{V}$ by CVD Epitaxy and Dry Etching," IEEE International Electron Devices Meeting (IEDM), pp. 569-572, 2021.

自從 MOSFET 結構發明以來，到目前已超過 40 年，當閘極長度縮小到 20 奈米以下的時候，遇到了許多物理本質的極限問題，其中最具有代表性者為短通道效應 (Short-channel Effects) 與量子穿隧效應 (Quantum Tunneling Effect)。隨著 FinFET 技術的發展，晶片製程得以跨入 5 奈米世代，接下來先進製程架構將從 FinFET 轉進 GAAFET，而台積電、三星及英特爾在未來 5 奈米以下的 GAAFET 技術發展上勢必也將展開一場白熱化的競賽。

然而值得注意的是，欲在未來半導體霸權時代取得技術領先地位，除了晶圓製造技術上須掌握優勢外，系統封裝整合技術也是半導體產業重要的發展方向，國內產官學界都應及早掌握此契機、協力進行完整策略布局。而在 GAAFET 世代之後，還會不會有更為創新、可延續莫爾定律發展的新型電晶體結構出現呢？就讓我們拭目以待吧！

台大劉致為教授及其研究團隊是國內業界之外，唯一能研發出多層通道堆疊之 GAA 電晶體的頂尖研究團隊，其曾在 2021 年於半導體領域的國際頂尖期刊中，成功發表了世界首顆 7 層與 8 層堆疊銻矽通道之 GAA 電晶體。閱康科技非常榮幸今年度可以和劉教授攜手進行產學合作，提供在 GAAFET 先進製程研究上所需之完整分析服務。閱康科技擁有完備的檢測設備與專業技術經驗，能全面滿足半導體先進製程及封裝方面之各種分析檢測需求。

下期「科技新航道 | 合作專欄」正在緊鑼密鼓籌畫中，敬請持續關注閱康技術文章，帶給您最前沿的技術新知，在全球供應鏈中更具競爭力！

GAA 相關分析技術項目 請參考：

- [聚焦離子束顯微鏡 \(FIB\)](#)
- [穿透式電子顯微鏡 \(TEM\)](#)
- [電子能量損失能譜 \(EELS\)](#)

[◀ Back to Tech Articles](#)